

CLIPPEDIMAGE= JP405251339A

PAT-NO: JP405251339A

DOCUMENT-IDENTIFIER: JP 05251339 A

TITLE: SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

PUBN-DATE: September 28, 1993

INVENTOR-INFORMATION:

NAME

KATO, KIYOKO

KITAHARA, KUNINORI

NAKAI, KENYA

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP04024917

APPL-DATE: February 12, 1992

INT-CL (IPC): H01L021/20;H01L021/203

ABSTRACT:

PURPOSE: To provide a semiconductor substrate wherein its mechanical strength is high, its cost is low and its crystallinity is excellent regarding the semiconductor substrate and its manufacturing method which are used to grow a compound semiconductor crystal.

CONSTITUTION: An SiO<sub>2</sub> film 2 in which an opening 3 has been made is formed on an Si single-crystal substrate 1; a GaAs single-crystal layer 5 is grown selectively, by an ALE method, on a seed 4 which is exposed on the bottom of the opening 3; a GaAs single crystal 6 is formed, by an LEP method, on the GaAs single-crystal layer 5. Alternatively, an SiO<sub>2</sub> film 2 in which

an opening 3 has been made is former on an Gi  
single-crystal substrate 1; a  
selective-growth Gaps single-crystal layer 7 is formed, by  
a first growth  
condition, on a seed 4 which is exposed on the bottom of  
the opening 3; GaAs is  
deposited, by a second growth condition, on the whole  
surface; a  
nonselective-growth GaAs single-crystal layer 8 is formed  
on the  
selective-growth GaAS single-crystal layer 7; a  
nonselective-growth  
polycrystalline layer 9 is formed on the SiO<sub>2</sub> film  
2. After that, the  
temperature is raised; the whole of the nonselective-  
growth polycrystalline  
layer 9 is changed to a single crystal by making use of the  
nonselective-growth  
GaAs single-crystal layer 8 as a seed.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-251339

(43)公開日 平成5年(1993)9月28日

(51)IntCl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/20

9171-4M

// H 0 1 L 21/203

M 8422-4M

審査請求 未請求 請求項の数8(全 9 頁)

(21)出願番号 特願平4-24917

(22)出願日 平成4年(1992)2月12日

(31)優先権主張番号 特願平3-204231

(32)優先日 平3(1991)8月14日

(33)優先権主張国 日本(J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 加藤 清子

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 北原 邦紀

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 中井 健弥

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

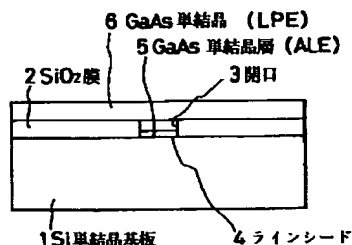
(54)【発明の名称】 半導体基板およびその製造方法

(57)【要約】

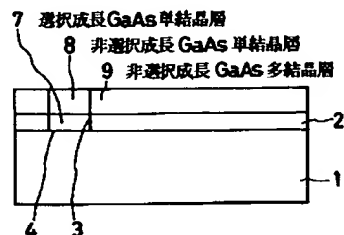
【目的】 化合物半導体結晶を成長させるための半導体基板およびその製造方法に関し、機械的強度が高く、安価で、結晶性が優れた半導体基板を提供する。

【構成】 Si単結晶基板1の上に開口3を設けたSiO<sub>2</sub>膜2を形成し、その開口3の底に露出するシード4の上にALE法によってGaAs単結晶層5を選択的に成長し、このGaAs単結晶層5の上にLEP法によってGaAs単結晶6を形成する。また、Si単結晶基板1の上に開口3を設けたSiO<sub>2</sub>膜2を形成し、その開口3の底に露出するシード4の上に第1の成長条件によって選択成長GaAs単結晶層7を形成し、第2の成長条件によって全面にGaAsを堆積して、選択成長GaAs単結晶層7の上に非選択成長GaAs単結晶層8を、SiO<sub>2</sub>膜2の上には、非選択成長多結晶層9を形成し、その後温度を上げて非選択成長GaAs単結晶層8をシードにして非選択成長多結晶層9全体を単結晶化する。

本発明の半導体基板の製造方法の原理説明図



(A)



(B)

## 【特許請求の範囲】

【請求項1】 第1の半導体からなる基板の上に開口をもつ絶縁膜を形成する工程と、該絶縁膜の開口内に露出した第1の半導体からなる基板の上に原子層エピタキシー（ALE）法により第2の半導体からなる単結晶層を選択的に成長する工程と、該第2の半導体からなる単結晶層の上から該絶縁膜の上に延在して液相エピタキシー（LPE）法によって第3の半導体からなる単結晶を成長する工程を含むことを特徴とする半導体基板の製造方法。

【請求項2】 第1の半導体がシリコンであり、第2の半導体からなる単結晶層が、第1の半導体と接するシリコンと格子定数が近似した化合物半導体からなる単結晶層と、その上に形成された格子定数がシリコンの格子定数と異なる化合物半導体からなる単結晶層の2層によって構成されていて、それぞれの層が原子層エピタキシー（ALE）法によって形成され、第3の半導体が格子定数がシリコンの格子定数と異なる化合物半導体であることを特長とする請求項2記載の半導体基板の製造方法。

【請求項3】 第1の半導体からなる基板上にエッチング特性が異なる第1の絶縁膜と第2の絶縁膜をこの順序で形成する工程と、該第1の絶縁膜と第2の絶縁膜に開口を形成する工程と、該開口内に露出した半導体基板上から該第2の絶縁膜の表面にかけて原子層エピタキシー（ALE）法により第2の半導体層を成長する工程と、該第2絶縁膜をこの表面に堆積された第2の半導体層とともに選択的にエッチング除去する工程と、該開口内に残された第2の半導体からなる単結晶層の上から該第1の絶縁膜の上に延在する第3の半導体からなる単結晶層を液相エピタキシー（LPE）法によって成長する工程を含むことを特徴とする半導体基板の製造方法。

【請求項4】 第1の半導体からなる基板上に開口をもつ絶縁膜を形成する工程と、該開口内に露出した第1の半導体からなる基板上に原子層エピタキシー（ALE）法により第2の半導体からなる単結晶層を成長する工程と、該第2の半導体からなる単結晶層の上に該絶縁膜の上に突出する第3の半導体からなるリッジ状のシードを形成する工程と、該リッジ状のシードから該絶縁膜の上に延在する第3の半導体からなる単結晶を液相エピタキシー（LPE）法によって形成する工程を含むことを特徴とする半導体基板の製造方法。

【請求項5】 第1の半導体からなる基板の上に開口をもつ絶縁膜を形成する工程と、第1の成長条件で該絶縁膜の開口内に露出した第1の半導体からなる基板の上に第2の半導体からなる単結晶層を選択的に成長する工程と、第2の成長条件で該第2の半導体からなる単結晶層の上に第2の半導体からなる単結晶層または多結晶層あるいはアモルファス層を、また、該絶縁膜の上には多結晶層またはアモルファス層を成長する工程と、該絶縁膜の開口内に第1の成長条件で成長した第2の半導体から

なる単結晶層、または、該第2の半導体からなる単結晶層の上に第2の成長条件で成長した第2の半導体からなる単結晶層をシードとして隣接する多結晶層あるいはアモルファス層を再結晶化する工程を含むことを特徴とする半導体基板の製造方法。

【請求項6】 GaAsまたはGaを含む化合物半導体層を成長する場合、III族元素を含む原料ガスとV族元素を含む原料ガスを交互に供給する原子層エピタキシー（ALE）法を用い、第1の成長条件においてIII族元素を含む原料ガスとしてトリメチルガリウム（TMG）を用い、第2の成長条件として同じ成長方法でIII族元素を含む原料ガスとしてトリエチルガリウム（TEGa）を用いることを特徴とする請求項5に記載の半導体基板の製造方法。

【請求項7】 絶縁膜の開口内に第1の成長条件で成長した第2の半導体からなる単結晶層、または、該第2の半導体からなる単結晶層の上に第2の成長条件で成長した第2の半導体からなる単結晶層をシードとして隣接する多結晶層あるいはアモルファス層を再結晶化する工程を、帯域溶融再結晶化法によって行うことを特徴とする請求項5に記載の半導体基板の製造方法。

【請求項8】 第1の半導体からなる基板の上の絶縁膜の開口内に第1の成長条件で第2の半導体からなる単結晶層を選択的に成長する工程と、第2の成長条件で該第2の半導体からなる単結晶層の上に第2の半導体からなる単結晶層または多結晶層あるいはアモルファス層を、また、該絶縁膜の上に多結晶層またはアモルファス層を成長する工程と、該絶縁膜の開口内に第1の成長条件で成長した第2の半導体からなる単結晶層、または、該第2の半導体からなる単結晶層の上に第2の成長条件で成長した第2の半導体からなる単結晶層をシードとして隣接する多結晶層あるいはアモルファス層を再結晶化する工程を、帯域溶融再結晶化装置内で行うことを特徴とする請求項5に記載の半導体基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、光半導体装置、高速半導体装置等に用いる化合物半導体結晶を成長させるための半導体基板およびその製造方法に関する。

## 【0002】

【従来の技術】従来、光半導体装置、高速半導体装置等に用いる化合物半導体結晶基板は、引上げ法、ブリッジマン法等により製造したInP、GaAs等の2元化合物半導体のインゴットを薄板状にスライスしたものを使用していた。

【0003】しかし、これらの材料は世界的に埋蔵量が少ないため製造コストが高いこと、機械的強度が弱く半導体ウェハの大口径化に適しないこと、蒸気圧の異なる2種類以上の元素からなる結晶であるため、基板の結晶性の改善が難しいこと、等の難点を持っている。

【0004】そこで、従来から、上記の難点をもたないシリコン(Si)の基板上に、有機金属気相エビタキシー法(MOVPE法)、分子ビームエビタキシー法(MBE法)等でInP、GaAs等の化合物半導体を成長した半導体基板を用いることによって、製造コストを下げ、基板の機械的強度を高くすることが試みられている。

【0005】上記のどちらの方法も、Si基板上に500℃以下の温度で多結晶またはアモルファス状のGaAs等の化合物半導体を成長し、その後温度を上げて単結晶化して厚さ数μmオーダーの単結晶層を形成する、いわゆる二段成長法を採用している。

【0006】

【発明が解決しようとする課題】ところが、上記のようにSi基板上にGaAs等の所望の化合物半導体を結晶成長して製造した結晶表面には、多数の格子欠陥が存在していること、および、結晶表面の平坦化が悪いこと等の問題があり、このように製造した半導体基板の上に結晶性が優れた結晶層を成長することは困難であった。

【0007】また、GaAs基板上にGaAs層を形成する場合には $10^8 \Omega \text{cm}$ 程度の比抵抗をもつ単結晶層が得られるが、Si基板の比抵抗は高々 $10^3 \Omega \text{cm}$ 程度であるため、Si基板上にGaAs単結晶を成長した基板を用いてMESFETやHEMT等のプレーナ型半導体装置を製造すると、基板への電流リークが生じるという問題があった。また、GaAsエビタキシャル層もGaAs基板に比べると比抵抗が2桁以上小さいために集積回路装置を形成すると素子間の絶縁が充分でなく、そのための障害がしばしば生じることになる。

【0008】また、従来から、基板や基板の上に形成された絶縁性の膜の上に目的とする半導体単結晶層を成長する方法、あるいは、基板上に形成された絶縁膜の開口の底に露出する基板の表面に目的とする半導体単結晶層を成長する方法が知られているが、GaAsとSiのように格子定数が大きく異なる(4%)組合せに適用することは容易ではない。

【0009】したがって、本発明は、光半導体装置、高速半導体装置等に用いる、機械的強度が高く、安価で、結晶性が優れた、基板と単結晶層の間に絶縁膜を介在させた化合物半導体基板を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明にかかる半導体基板の製造方法においては、第1の半導体からなる基板の上に開口をもつ絶縁膜を形成する工程と、該絶縁膜の開口内に露出した第1の半導体からなる基板の上に原子層エビタキシー(ALE)法により第2の半導体からなる単結晶層を選択的に成長する工程と、該第2の半導体からなる単結晶層の上から該絶縁膜の上に延在して液相エビタキシー(LPE)法によって第3の半導体からなる単結晶を成長する工程を採用した。

【0011】また、本発明にかかる半導体基板の製造方法においては、第1の半導体からなる基板の上に開口をもつ絶縁膜を形成する工程と、第1の成長条件で該絶縁膜の開口内に露出した第1の半導体からなる基板の上に第2の半導体からなる単結晶層を選択的に成長する工程と、第2の成長条件で該第2の半導体からなる単結晶層の上に第2の半導体からなる単結晶層または多結晶層あるいはアモルファス層を、また、該絶縁膜の上には多結晶層またはアモルファス層を成長する工程と、該絶縁膜の開口内に第1の成長条件で成長した第2の半導体からなる単結晶層、または、該第2の半導体からなる単結晶層の上に第2の成長条件で成長した第2の半導体からなる単結晶層をシードとして隣接する多結晶層あるいはアモルファス層を再結晶化する工程を採用した。

【0012】

【作用】本発明のように、機械的強度が高く、安価なSi等の半導体基板上に、開口を有するAlN膜、SiO<sub>2</sub>膜等の絶縁膜を形成し、この開口内の半導体基板上に原子層エビタキシー法(ALE法)によって化合物半導体単結晶を成長し、このALE法によって成長した単結晶層の表面からこの絶縁膜の上に延在する化合物半導体単結晶層を液相エビタキシー法(LPE法)を適用して成長することによって、広い面積を有し、機械的強度が高く、平坦性が優れ、かつ、安価な化合物半導体基板を得ることができる。

【0013】また、本発明のように、基板の上に形成された絶縁膜の開口内に目的とする半導体の単結晶層を選択的に成長し、その後この単結晶層および絶縁膜の上に単結晶層または多結晶層あるいはアモルファス層を成長し、その後、温度を上げて絶縁膜の開口内の単結晶層をシードとして再結晶化することによって、上記のように面積が広く、機械的強度が高く、平坦性が優れ、安価な化合物半導体基板を得ることができる。

【0014】この化合物半導体基板の製造方法の原理を説明する。図1(A)、(B)は、本発明の半導体基板の製造方法の原理説明図である。この図において、1はSi単結晶基板、2はSiO<sub>2</sub>膜、3は開口、4はラインシード、5はGaAs単結晶層(ALE)、6はGaAs単結晶層(LPE)、7は選択成長GaAs単結晶層、8は非選択成長GaAs単結晶層、9は非選択成長GaAs多結晶層である。

【0015】本発明の第1の原理においては、図1(A)に示されているように、Si単結晶基板1の上に、SiO<sub>2</sub>膜2を形成し、このSiO<sub>2</sub>膜2にライン状の開口3を設け、この開口3の底にSi単結晶基板1の表面を露出させて、結晶成長の種となるラインシード4を形成し、次いで、このラインシード4の上に、ALE法によりGaAs単結晶層5を選択的に成長し、このGaAs単結晶層5の上にLPE法によってGaAs単結晶6を成長する。

【0016】また本発明の第2の原理においては、図1 (B) に示されているように、Si単結晶基板1の上に、SiO<sub>2</sub>膜2を形成し、このSiO<sub>2</sub>膜2にライン状の開口3を設け、この開口3の中にSi単結晶基板1の表面を露出させて、結晶成長の種となるラインシード4を形成し、次いで、第1の成長条件によってラインシード4の上に、選択成長GaAs単結晶層7を選択的に成長し、第2の成長条件によって全面にGaAsを堆積して、選択成長GaAs単結晶層7の上には非選択成長GaAs単結晶層8を成長し、SiO<sub>2</sub>膜2の上には非

選択成長GaAs多結晶層（あるいはアモルファス状のGaAs層）9を成長した後、温度を上げて、非選択成長GaAs単結晶層8をシードにして非選択成長GaAs多結晶層（あるいはアモルファス状のGaAs層）9全体を単結晶化する。この第1の成長条件と第2の成長条件は、成長原料ガス、温度、圧力などの成長条件を変えることによって実現することができる。

【0017】したがって、本発明の第1の原理および第2の原理による半導体基板は、単結晶半導体層の大部分の領域をSi基板と電気的に分離することができ、また、再結晶化は横方向に進むために、基板と成長層の結晶格子が切り離され、格子定数のミスマッチによる転位の発生を防ぐことができる。

【0018】従来知られていた、Si基板上に形成した絶縁膜の開口内に半導体層を成長する方法においては、低温成長法を用いていたため、絶縁膜の開口内にも多結晶またはアモルファス状の半導体層が成長するため、シード自体が再結晶化したものであるために、結晶性の品質が悪いという問題があったが、本発明では、絶縁膜の開口内に最初から単結晶として成長した部分をシードとするために優れた結晶品質の半導体層が得られる。

【0019】

【実施例】（第1実施例）図2（A）～（C）は、第1実施例の半導体基板の製造方法の工程説明図である。この図において、11はSi単結晶基板、12はSiO<sub>2</sub>膜、13は開口、14はラインシード、15はALE法によって成長したGaAs単結晶層、16はLPE法によって成長したGaAs単結晶である。この工程説明図に沿って本実施例の製造方法を説明する。

【0020】第1工程（図2（A）参照）

Si単結晶基板11の上に、CVD法により、厚さ200nmのSiO<sub>2</sub>膜12を形成する。このSiO<sub>2</sub>膜12に、フォトリソグラフ法を適用して、幅が狭く一定の長さを有するライン状の開口13を設け、開口13の底にSi単結晶基板11の表面を露出させて、この後の結晶成長の種となるラインシード14を形成する。

【0021】第2工程（図2（B）参照）

このラインシード14の上に、原子層エピタキシー（ALE）法により厚さ300ÅのGaAs単結晶層15を選択的に成長する。ALE法によると、化合物半導体を

形成する元素を一層づつ堆積するため、基板と大きな格子不整合がある結晶においても結晶性が優れた単結晶層を形成することができる。なお、この成長法の欠点は成長速度が遅いことであり、この方法によって厚い結晶層を成長するのは実際的でない。

【0022】第3工程（図2（C）参照）

ALE法によって形成したGaAs単結晶層15の上に液相エピタキシー（LPE）法によってGaAs単結晶16を成長する。この工程においては、GaAs結晶16は、ALE法によって形成したGaAs層15の上に厚さ方向に成長するとともに横方向にも成長するため、SiO<sub>2</sub>膜12の上に広く広がる結晶性の優れたGaAs単結晶6を形成することができる。

【0023】本実施例においては、ラインシード14の上にGaAs単結晶層15を成長する工程として、ALE法を採用した理由は、他の気相成長法によってGaAs単結晶層15を形成すると、SiO<sub>2</sub>膜12の中の埋め込みに対して、選択性が弱い、ALE法によると、SiO<sub>2</sub>膜12とSiラインシード14の間の選択性が優れていること、および、ALE法によってGaAs単結晶層15を成長すると、ピンホールの発生がきわめて少ないことである。

【0024】また本実施例によると、Si単結晶基板11の上のSiO<sub>2</sub>膜12に形成した開口13を微小にしたため、GaAs単結晶層15とSi単結晶基板11が接触する面積が小さくなること、および、ALE法により成長したGaAs単結晶層15をシードとしてGaAs単結晶16がSiO<sub>2</sub>膜12の上に広がって横方向にLPE成長すること、の理由により、GaAs単結晶層15の表面に生じる可能性がある凹凸および欠陥が、GaAs単結晶16の表面の平坦性に与える影響を小さくすることができ、良質の結晶性をもつGaAs結晶16を得ることができる。

【0025】また、本実施例においては、安価で機械的強度が強いSi単結晶基板11を使用しているため、表面にGaAs単結晶16をもち、機械的強度が強い基板を安価に提供することが可能になる。

【0026】そしてまた、本実施例においては、GaAs単結晶16をLPE成長する種として幅が狭く一定の長さを有するライン状のラインシード14を用いている理由は、GaAs単結晶16がラインシード14に垂直の方向に平行に成長するため成長面の形状の制御性がよく、成長速度が速く、結晶性も優れていることであるが、他の形状のシードでも本発明の目的に沿う効果を実現することができる。

【0027】（第2実施例）図3（A）～（D）は、第2実施例の半導体基板の製造方法の工程説明図である。この図において、21はSi単結晶基板、22はSiO<sub>2</sub>膜、23は開口、24はラインシード、25はGaP単結晶層、26はGaAs単結晶層、27はGaAs結

品である。この工程説明図に沿って本実施例の製造方法を説明する。

【0028】第1工程(図3(A)参照)

Si単結晶基板21の上に、CVD法により、厚さ200nmのSiO<sub>2</sub>膜22を形成する。このSiO<sub>2</sub>膜22に、フォトリソグラフ法を適用して、ライン状の開口23を設け、開口23の底にSi単結晶基板21の表面を露出させて、この後の結晶成長の種となるラインシード24を形成する。

【0029】第2工程(図3(B)参照)

このラインシード24の上に、ALE法により、厚さ300ÅのGaP単結晶層25を選択的に成長する。

【0030】第3工程(図3(C)参照)

前工程で形成したGaP単結晶層25の上に、ALE法により厚さ300ÅのGaAs単結晶層26を選択的に成長する。

【0031】第4工程(図3(D)参照)

ALE法によって形成したGaAs単結晶層26の上にLPE法によってGaAs結晶27を成長する。

【0032】本実施例においては、ラインシード24の上にGaP単結晶層25を選択的に成長した後にGaAs単結晶層26を成長しているが、その理由は、GaP単結晶層25の格子定数がSi単結晶基板21の格子定数と近似しているため、この間の格子欠陥の発生を抑制し、さらにその上に成長するGaAs単結晶層26との間の緩衝層として機能させることである。

【0033】(第3実施例)図4(A)～(D)は、第3実施例の半導体基板の製造方法の工程説明図である。この図において、31はSi単結晶基板、32はAlN膜、33はSiO<sub>2</sub>膜、34は開口、35はラインシード、36はAlAs単結晶層、36'はAlAs多結晶層、37はGaAs結晶である。この工程説明図に沿って本実施例の製造方法を説明する。

【0034】第1工程(図4(A)参照)

Si単結晶基板31の上に、CVD法により、厚さ200nmのAlN膜32を形成し、その上に同様にCVD法により、厚さ200nmのSiO<sub>2</sub>膜33を形成する。このAlN膜32とSiO<sub>2</sub>膜33に、フォトリソグラフ法を適用して、ライン状の開口34を設け、開口34の底にSi単結晶基板31の表面を露出させて、この後の結晶成長の種となるラインシード35を形成する。

【0035】第2工程(図4(B)参照)

このラインシード35の上に、ALE法により厚さ300ÅのAlAs単結晶層36を成長する。この工程におけるAlAs単結晶層36の成長の選択性が低いため、SiO<sub>2</sub>膜33の上にAlAs多結晶層36'が堆積する。

【0036】第3工程(図4(C)参照)

SiO<sub>2</sub>膜33を選択エッチングして除去し、第2工程

でSiO<sub>2</sub>膜33の上に形成されていたAlAs多結晶層36'をリフトオフ的に除去する。

【0037】第4工程(図4(D)参照)

ALE法によって形成したAlAs単結晶層36の上にLPE法によってGaAs結晶37を成長する。

【0038】本実施例は、Si単結晶基板31の表面のラインシード35の上にALE法によってAlAs単結晶層36を成長している点で前記の各実施例とは異なっている。

10 【0039】このAlAs層36はSi単結晶基板31の上に横方向に二次元的に成長する特長を有するが、他方、ラインシード35の上に選択成長することができず、SiO<sub>2</sub>膜33の上にも堆積するという欠点があるため、ラインシード35を画定する絶縁膜としてエッチングレートが異なる2種の絶縁膜、すなわち、本実施例ではAlN膜22とSiO<sub>2</sub>膜33を重ねて形成したものを使用し、上層の絶縁膜であるSiO<sub>2</sub>膜33の上に堆積したAlAs多結晶層36'をリフトオフ的に除去するようにしている。

20 【0040】(第4実施例)図5(A)～(D)は、第4実施例の半導体基板の製造方法の工程説明図である。この図において、41はSi単結晶基板、42はSiO<sub>2</sub>膜、43は開口、44はラインシード、45はGaAs単結晶層、46はGaAs結晶、47はSiO<sub>2</sub>膜、48はGaAs結晶である。この工程説明図に沿って本実施例の製造方法を説明する。

【0041】第1工程(図5(A)参照)

Si単結晶基板41の上に、CVD法により、厚さ200nmのSiO<sub>2</sub>膜42を形成する。このSiO<sub>2</sub>膜42に、フォトリソグラフ法を適用して、ライン状の開口43を設け、開口43の底にSi単結晶基板41の表面を露出させて、この後の結晶成長の種となるラインシード44を形成する。

【0042】第2工程(図5(B)参照)

このラインシード44の上に、ALE法により厚さ300ÅのGaAs単結晶層45を選択的に成長する。

【0043】第3工程(図5(C)参照)

ALE法によって形成したGaAs単結晶層45からSiO<sub>2</sub>膜42の上にかけて、MOVPE法によって厚さ1μmのGaAs結晶46を成長する。GaAs結晶46の上にSiO<sub>2</sub>膜47を形成し、このSiO<sub>2</sub>膜47を島状に選択エッチングする。

【0044】第4工程(図5(D)参照)

この選択エッチングによって残されたSiO<sub>2</sub>膜47をマスクにしてGaAs結晶46をエッチング除去し、SiO<sub>2</sub>膜42の上に突出するGaAs結晶46からなるリッジ状のシード46を形成する。このリッジ状のシード46を種にして、LPE法による横方向成長により、SiO<sub>2</sub>膜42の上にGaAs結晶48を成長し、不要となった島状のSiO<sub>2</sub>膜47を除去する。

【0045】本実施例によると、 $\text{SiO}_2$  膜42の上に突出したGaAs結晶46からなるリッジ状のシード46を種にして横方向成長しているため、GaAs結晶48の厚さの制御が容易で、その表面を平坦化することができる。

【0046】(第5実施例)図6(A)～(D)は、第5実施例の半導体基板の製造方法の工程説明図である。この図において、51はSi単結晶基板、52は $\text{SiO}_2$  膜、53は開口、54は単結晶のGaAs層、55は単結晶のGaAs層、56は多結晶またはアモルファス状のGaAs層、57は単結晶のGaAs層、58は厚い単結晶のGaAs層である。この工程説明図に沿って本実施例の製造方法を説明する。

【0047】第1工程(図6(A)参照)  
Si単結晶基板51の上に、CVD法により、厚さ100nmの $\text{SiO}_2$  膜52を形成し、フォトリソグラフ法によって $\text{SiO}_2$  膜52に開口53を設け、開口53の底にSi単結晶基板51の表面を露出させて、この後の結晶成長の種となるラインシードを形成する。

【0048】このSi単結晶基板51を結晶成長装置に収納し、水素気流中で1000℃、10分間の熱処理を行い、開口53を形成する工程において開口53の底のSi単結晶基板51に形成された自然酸化膜を除去する。Si単結晶基板51の加熱は、Si単結晶基板51をカーボンサセプタに載せてカーボンサセプタをRF加熱することにより行う。

【0049】次いで、Si単結晶基板51の温度を500℃に下げて、このラインシードの上に単結晶のGaAs層54を成長する。この成長方法として、III族のGaの原料ガスであるトリメチルガリウム(TMGa)とV族のAsの原料ガスであるアルシン( $\text{AsH}_3$ )を交互に供給しながら成長するALE法を用い、100nmの厚さになるまで成長する。この結晶成長では、GaAs層54は、 $\text{SiO}_2$  膜52の開口53の底のSi単結晶基板51のラインシード上だけに成長し、 $\text{SiO}_2$  膜52上には全く成長しない。

【0050】第2工程(図6(B)参照)  
III族のGaの原料ガスを、トリメチルガリウム(TMGa)からトリエチルガリウム(TEGa)に変え、V族のAsの原料はそのままアルシン( $\text{AsH}_3$ )を供給してALE法によって成長を続行する。

【0051】この成長によって、単結晶のGaAs層54の上には単結晶のGaAs層55が成長するが、 $\text{SiO}_2$  膜52の上には多結晶またはアモルファス状のGaAs層56が成長する。

【0052】第3工程(図6(C)参照)  
アルシン( $\text{AsH}_3$ )を流したままで、温度を750～900℃に上昇して放置する。この過程で、単結晶のGaAs層55がシードとなり、このシードに隣接している $\text{SiO}_2$  膜52の上の多結晶またはアモルファス状の

GaAs層56が再結晶し、この単結晶化が徐々に拡大して、最後に多結晶またはアモルファス状のGaAs層56全域が単結晶化される。

【0053】なお、第2工程において、単結晶のGaAs層54の上に多結晶またはアモルファス状のGaAs層55が成長することがあるが、その場合は、この工程において、単結晶のGaAs層54がシードになって、その上に成長している多結晶またはアモルファス状のGaAs層55および56が再結晶化され、広い単結晶のGaAs層57が形成される。

【0054】第4工程(図6(D)参照)

上記の工程によって形成された広い単結晶のGaAs層57の上に、MOVPE法によって、目的とする半導体装置を構成する基板として必要な電気的特性をもった厚い単結晶のGaAs層58を形成する。

【0055】(第5実施例の変形態様)以下、上記第5実施例の変形態様を挙げる。

(1)第5実施例においては、安価で機械的強度が高いSi基板上にGaAs層を成長する工程を説明しているが、本発明は、GaAs等の化合物半導体を基板として用いる場合にも適用でき、さらに、GaAs以外の化合物半導体層を成長する場合にも適用できる。化合物半導体の基板を用いる場合は、成長のための加熱によって自然酸化膜が消失するため成長前の熱処理は不要である。

【0056】(2)第5実施例の第1工程と第2工程における選択成長は、MOVPE法によっても可能である。この場合、半導体層の成長圧力を10Torr以下にするとIII族元素を含む原料ガスにTMGaを用いた状態で強い選択性が得られ、成長を停止して圧力を上げると選択性の弱い成長が可能になる。しかし、MOVPE法による場合は、ALE法による場合のように平坦な成長層を形成することが困難である。

【0057】(3)基板上に形成した $\text{SiO}_2$  膜の開口の底に形成されるシード領域は1個でなくてもよく、複数箇所形成したほうが良好な結晶を得られることがある。

(4)再結晶化工程は、一旦成長装置から半導体基板を取り出した後、帯域溶融再結晶化法(ZMR)によって単結晶化することもでき、また、半導体層の成長とその半導体層の再結晶化を帯域溶融再結晶装置(ZMR装置)内で一貫して行うこともできる。

【0058】図7は、本発明の第5実施例の結晶再成長工程で用いることができるZMR装置の構成説明図である。この図において、61はカーボン製サセプタ、62は線状の高温領域、63、64は低温領域、65は半導体基板、66は石英反応管、67は誘導コイル、68は押し棒、69は原料ガスである。

【0059】このZMR装置を用いて、半導体基板の上に単結晶を形成する方法を簡単に説明する。石英反応管66の内部に設置されたカーボン製サセプタ61は、石



11

英反応管66の外に配置された誘導コイル67によって加熱されるようになっている。そして、このカーボン製サセプタ61の表面の中央部には、紙面に垂直に延びる線状の高温領域62が形成され、この線状の高温領域62以外の部分には加熱バッファ板が載置されて低温領域63、64が形成されている。

【0060】このZMR装置の中に設置されたカーボン製サセプタ61の左端の平坦な部分に半導体基板65を載置し、適当な成長温度に維持した状態でZMR装置の右端から原料ガス69を供給して、ALE法とMOVP

E法によって半導体基板65の上に前述した方法によって、シードとなる化合物半導体の単結晶層と多結晶層あるいはアモルファス層を成長する。

【0061】所定の厚さの化合物半導体の多結晶層あるいはアモルファス層を成長した後、温度を調整したあと、半導体基板65を押し棒68によって右側に移動し、シードとなる単結晶層を線状の高温領域62の上に置いて高温にした後、半導体基板65を徐々に右側に移動することによって、多結晶層あるいはアモルファス層を再結晶化する。なお、GaAs単結晶層等の蒸気圧の

【0062】

【発明の効果】以上説明したように、本発明によれば、光半導体装置あるいは高速半導体装置などに用いる、機械的強度が強く、結晶性が優れ、安価な化合物半導体成

12

長用基板を提供することができ、化合物半導体を使用した半導体装置の開発に寄与するところが大きい。

【図面の簡単な説明】

【図1】(A)、(B)は本発明の半導体基板の製造方法の原理説明図である。

【図2】(A)～(C)は第1実施例の半導体基板の製造方法の工程説明図である。

【図3】(A)～(D)は第2実施例の半導体基板の製造方法の工程説明図である。

【図4】(A)～(D)は第3実施例の半導体基板の製造方法の工程説明図である。

【図5】(A)～(D)は第4実施例の半導体基板の製造方法の工程説明図である。

【図6】(A)～(D)は第5実施例の半導体基板の製造方法の工程説明図である。

【図7】第5実施例の結晶再成長工程で用いることができるZMR装置の構成説明図である。

【符号の説明】

1 Si単結晶基板 2 SiO<sub>2</sub>膜

3 開口

4 ラインシード

5 GaAs単結晶層(ALE)

6 GaAs単結晶層(LPE)

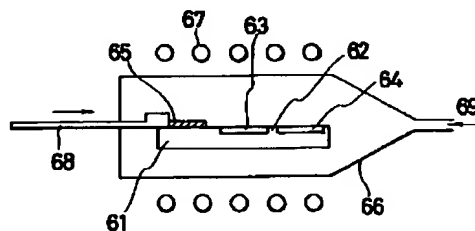
7 選択成長GaAs単結晶層

8 非選択成長GaAs単結晶層

9 非選択成長GaAs多結晶層

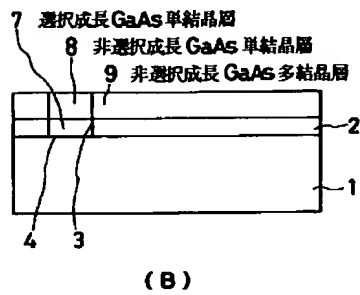
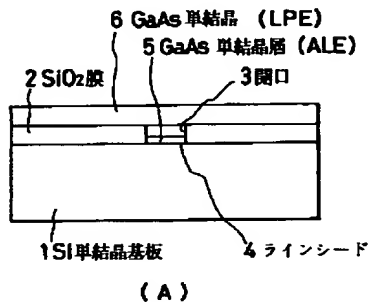
【図7】

第5実施例の結晶再成長工程で用いることができるZMR装置の構成説明図



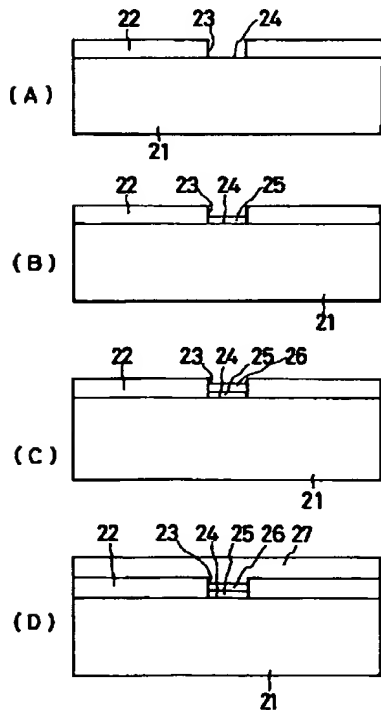
【図1】

本発明の半導体基板の製造方法の原理説明図



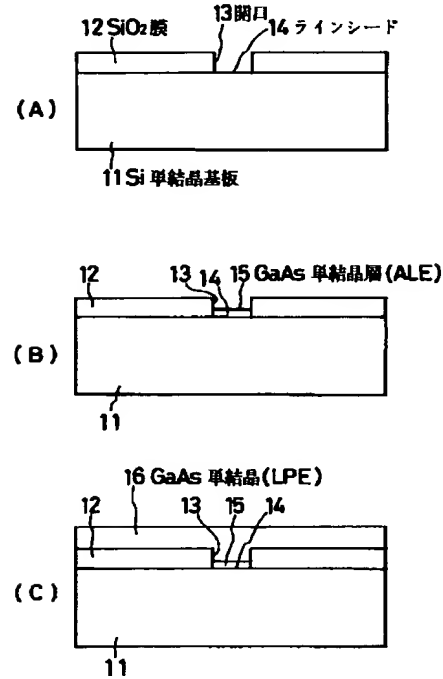
【図3】

第2実施例の半導体基板の製造方法の工程説明図



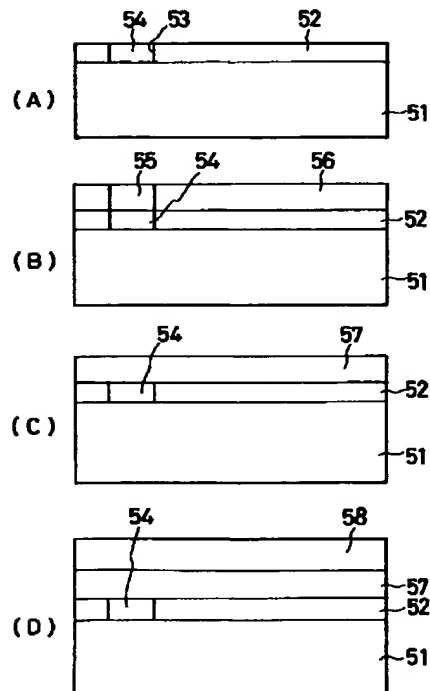
【図2】

第1実施例の半導体基板の製造方法の工程説明図



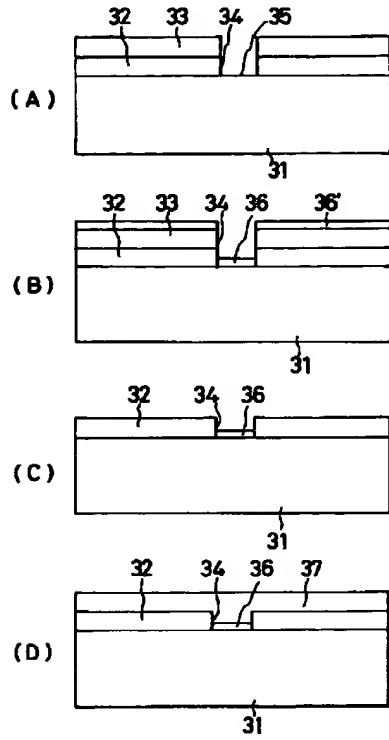
【図6】

第5実施例の半導体基板の製造方法の工程説明図



【図4】

第3実施例の半導体基板の製造方法の工程説明図



【図5】

第4実施例の半導体基板の製造方法の工程説明図

